

I12 - TD 2

Exercice 1. [★★] Codage d'une image numérique

Une image est représentée par une matrice de pixels (*picture element*). Leur position étant connue, l'information contenue dans chaque pixel est sa couleur.

1. Démontrez la nécessité d'avoir 4 bits par pixel pour pouvoir coder directement une image en 16 couleurs.
2. Quelle est la taille (en octets) d'une image de 4096 pixels de largeur et de 4096 pixels de hauteur : en noir et blanc, en 256 couleurs et en 2^{24} (16,7 millions) couleurs ?
3. Le bus PCIe 4.x a un débit de 31,508 Go/s. A t'il la capacité d'afficher une image 4096×4096 en 16,7 millions de couleurs sur un écran ayant une fréquence de rafraîchissement de 240 Hz ?
4. Pour obtenir une image aux couleurs plus nuancées on peut recourir à une table des couleurs, chaque pixel codant l'*index* de sa couleur dans la table. Calculez la taille en mémoire d'une image 4096×4096 en 256 couleurs en codage direct puis la taille d'une image 4096×4096 comportant une table de 256 couleurs dont chaque couleur est codée sur 4 octets. Comparez les deux solutions, en particulier la qualité de l'image et le coût relatif en temps de leur affichage.

Exercice 2. [★] Temps d'accès

On désire accéder en lecture à une information se situant :

- en mémoire cache (temps d'accès 5 ns),
- en mémoire centrale (10 ns),
- sur clé USB (0,1 ms),
- sur disque dur (10 ms).

En prenant comme référence le temps d'accès à la mémoire cache, calculez les ratios de pertes de vitesse relatives lors de la lecture depuis les autres types de mémoire.

Exercice 3. [★] Terminologie d'un ordinateur

Voici les caractéristiques techniques d'une carte mère

Processeur support du processeur Intel 1151, nombre de CPU supportés 1

Chipset Intel Z390 Express

Mémoire format de mémoire $4 \times$ DIMM 288 pins (DDR4), fréquence(s) mémoire DDR4 2133 MHz, DDR4 2400 MHz, ..., DDR4 4133 MHz, type de mémoire DDR4, technologie mémoire Dual Channel, capacité maximale de RAM par slot 16 Go, capacité maximale de RAM 64 Go

Graphique contrôleur graphique intégré non

Slots d'extension nombre et type de slots 3 X PCI Express 3.0 1x, type de multi-GPU CrossFireX, SLI

Audio chipset audio Realtek ALC1220, nombre de canaux audio 8

Réseau nombre de ports/contrôleur ethernet Intel I219-V, norme(s) réseau Bluetooth 5.0, 10/100/1000 Mbps, Wi-Fi AC

Stockage RAID supporté oui, connecteurs disques $1 \times$ PCI-E 3.0 4x, $1 \times$ PCI-E 3.0 4x + SATA 6 Gb/s, $6 \times$ Serial ATA 6Gb/s (SATA Revision 3), modes RAID supportés 0, 1, 5, 10

Connectique nombre de connecteurs pour ventilateurs 6, connecteurs panneau arrière $2 \times$ SMA Femelle, $5 \times$ jack 3,5mm femelle stéréo, $1 \times$ MiniDin 6 femelle (PS/2), $1 \times$ RJ45 femelle, $2 \times$ USB 2.0, $2 \times$ USB 3.0, $3 \times$ USB 3.1, $1 \times$ USB 3.1 Type C, $1 \times$ DisplayPort femelle, $1 \times$ HDMI femelle, connecteurs additionnels $2 \times$ connecteur(s) LED RGB, $1 \times$ connecteur(s) LED RGB adressable(s), TPM, audio panneau avant, $1 \times$ +12V (alimentation P8), $1 \times$ ATX 24 broches, $1 \times$ série (RS-232), $4 \times$ USB 2.0 interne, $1 \times$ USB 3.0 interne, $1 \times$ USB 3.1 interne, ports USB USB 2.0, USB 3.0, USB 3.1

Équipement fonctionnalités d'overclocking avancées oui, support TPM (Trusted Platform Module) en option

1. Faites la correspondance entre les éléments de cette liste et le schéma d'architecture théorique.
2. Explicitez le maximum de paramètres fournis dans la configuration.

Exercice 4. [★★★] Mémoire cache

La gestion du remplacement des lignes dans les caches associatifs passe par l'utilisation d'une pile. Dans cette pile figurent les numéros des lignes classés suivant la « date » (ou âge relatif) de leur dernière utilisation. En sommet de pile se trouve le numéro de la ligne la plus récemment utilisée et, en fond de pile, la moins récemment utilisée (LRU pour *Least Recently Used*). Lorsque on fait référence à une ligne, son numéro « est rangé » en sommet de pile

Son comportement peut se résumer de la façon suivante :

— lors d'un *miss* :

- on remplace le contenu de la ligne la plus anciennement référencée par celle lue en mémoire,

- et on met en sommet de pile le numéro de cette ligne et on décale tous les autres.
- lors d'un *hit*, on amène le numéro de la ligne référencée en sommet de pile et on décale tous les autres.

Détailler le comportement d'un cache de taille 4, après qu'il ait reçu la séquence initiale **a**, **b**, **c**, **d**, dans les cas suivants :

1. les références qui vont se succéder forment la séquence **b**, **a**, **e**,
2. les références qui vont se succéder forment la séquence **e**, **a**, **b**, **c**, **f**.

Exercice 5. [***] Machine de Turing

En s'appuyant sur l'exemple de l'addition de deux nombres par la machine de Turing vu en cours, établir les tables de transition dans les cas suivants.

1. À partir d'un ruban vide, la machine doit produire à l'infini une alternance de cases vides et de cases comportant un bâton (exemple : $\square \square \square \dots \rightarrow \square | \square | \square | \dots$).
2. La machine doit ajouter un bâton après une suite continue d'au moins 1 bâton (exemple : $\square | | | \square \square \rightarrow \square | | | | \square$).
3. La machine efface une suite continue de bâtons, s'arrête à la première case vide et ramène la tête à la position de départ (exemple : $\square | | | \square \rightarrow \square \square \square \square \square$).