

Chapitre 2

Architecture de Von Neumann

2.1 Registres

1. On dispose d'une mémoire centrale dont la taille des mots-mémoires est de 32 bits. En déduire la taille en bits du registre d'instruction (RI). Quelle doit-être la taille (en bits) du registre accumulateur (ACC) si l'on souhaite pouvoir traiter toute donnée ?
2. Quelle est le nombre maximal d'instructions que le registre d'instruction est en mesure de reconnaître ?
3. Cette mémoire est de taille 256 Mio. En déduire le nombre de bits du registre d'adresse ainsi que du compteur ordinal (CO).

2.2 Architecture RISC

On considère un processeur à jeu d'instructions réduit (RISC) de type « registre-registre ». Il dispose de 32 registres généraux tous équivalents, et d'instructions de taille fixe sur 32 bits.

1. Sachant que les instructions *arithmétiques* ont trois opérandes, deux registres sources et un registre destination, en déduire le nombre de bits associé au codage des instructions.
2. Sachant de plus que seules deux instructions (LOAD et STORE) ont accès à la mémoire centrale, en déduire le nombre d'adresses mémoires.

2.3 Temps d'accès

On désire accéder en lecture à une information se situant :

- en mémoire cache (temps d'accès 5 ns),
- en mémoire centrale (10 ns),
- sur clé USB (0,1 ms),
- sur disque dur (10 ms).

En prenant comme référence le temps d'accès à la mémoire cache, calculez les ratios de pertes de vitesse relatives lors de la lecture depuis les autres types de mémoire.

2.4 Terminologie d'un ordinateur

Voici les caractéristiques techniques d'une carte mère

Processeur support du processeur Intel 1151, nombre de CPU supportés
1

Chipset Intel Z390 Express

Mémoire format de mémoire $4 \times$ DIMM 288 pins, fréquence(s) mémoire
2133 MHz, 2400 MHz, ..., 4133 MHz, type de mémoire DDR4, techno-
logie mémoire Dual Channel, capacité maximale de RAM par slot 16
Go, capacité maximale de RAM 64 Go

Graphique contrôleur graphique intégré non

Slots d'extension PCI Express 3.0, multi-GPU CrossFireX, SLI

Audio chipset audio Realtek

Réseau contrôleur ethernet Intel, Bluetooth 5.0, 10/100/1000 Mbps, Wi-
Fi AC

Stockage connecteurs disques PCI-E 3.0 4x + SATA 6 Gb/s, modes RAID
supportés 0, 1, 5, 10

Connectique connecteurs SMA femelle, MiniDin 6 femelle (PS/2), RJ45
femelle, USB 2.0, USB 3.0, USB 3.1, USB 3.1 Type C, DisplayPort fe-
melle, HDMI femelle, TPM, +12V (alimentation P8), ATX 24 broches,
série (RS-232)

Équipement overclocking, TPM (Trusted Platform Module)

1. Faites la correspondance entre les éléments de cette liste et le schéma d'ar-
chitecture théorique.
2. Explicitez le maximum de paramètres fournis dans la configuration.

2.5 Mémoire cache

La gestion du remplacement des lignes dans les caches associatifs passe par
l'utilisation d'une *pile*. Dans cette pile figurent les numéros des lignes classés
suivant la « date » (ou âge relatif) de leur dernière utilisation. En sommet de
pile se trouve le numéro de la ligne la plus récemment utilisée et, en fond de
pile, la moins récemment utilisée (LRU pour *Least Recently Used*). Lorsque on
fait référence à une ligne, son numéro « est rangé » en sommet de pile

Son comportement peut se résumer de la façon suivante :

- lors d'un *miss* :
 - on remplace le contenu de la ligne la plus anciennement référencée
par celle lue en mémoire,
 - et on met en sommet de pile le numéro de cette ligne et on décale
tous les autres.
- lors d'un *hit*, on amène le numéro de la ligne référencée en sommet de
pile et on décale tous les autres.

Détailler le comportement d'un cache de taille 4, après qu'il ait reçu la
séquence initiale **a**, **b**, **c**, **d**, dans les deux cas suivants :

1. Les références qui vont se succéder forment la séquence **b**, **a**, **e**.

2. Les références qui vont se succéder forment la séquence e, a, b, c, f.

2.6 Segmentation de la mémoire Q

Le bus d'adresses du 8086 (un microprocesseur CISC 16 bits fabriqué par Intel à partir de 1978) possède 20 bits, or le compteur de programme (CO) est de 16 bits.

1. Sachant que les mots sont de 8 bits, quelle est la taille de la mémoire physique? À quelle taille maximale un programme constitué d'un unique bloc d'instructions contiguës peut-il prétendre dans ce contexte?
2. En ne prenant toujours en compte que les instructions, combien de programmes de taille maximale sont susceptibles d'être présents en mémoire?
3. Ces zones mémoires allouées à un programme sont appelées segments. L'adressage d'un segment se fait grâce à un registre de base et le déplacement à l'intérieur de chaque segment se fait par un registre de déplacement (*offset*). Une adresse physique est obtenue grâce au calcul : $\text{base} \times n + \text{offset}$. Que vaut n dans ce contexte?